



## **Введение**

Унифицированная библиотека функциональных ячеек 5503 предназначена для проектировании средствами САПР «Ковчег» интегральных микросхем на основе базовых матричных кристаллов (БМК) серий 5503 и 5507 для различных радиоэлектронных устройств.

В состав библиотеки входят базовые логические функциональные ячейки, базовые логические функциональные ячейки специального назначения и макро-ячейки. Базовые ячейки имеют уникальную топологию, макроячейки реализованы на базовых ячейках. В библиотеку включены как аналоговые, так и аналого-цифровые ячейки.

В данное пособие вошло три раздела. Каждый раздел имеет составную нумерацию страниц, включающую в себя номер раздела и номер страницы в пределах раздела.

- ***Раздел 1. Система обозначений и состав библиотеки 5503***

В разделе рассмотрены особенности библиотеки 5503, представлена система буквенных обозначений библиотечных ячеек, состав групп ячеек с указанием имени, выполняемой функции и страницы, на которой приведено описание ячейки.

- ***Раздел 2. Описание базовых логических функциональных ячеек***

В разделе в алфавитном порядке представлены описания цифровых базовых логических функциональных ячеек, входящих в библиотеку 5503. Для каждой ячейки указываются ее основные данные, а именно: имя ячейки, графический образ, описание функционирования, таблица истинности, расчетные значения задержек распространения сигналов, рекомендуемые значения нагрузочной способности выходов, топологический размер ячейки, а также приводится список выводов, у которых коэффициент объединения по входу отличен от единицы. При необходимости описания ячеек содержат рекомендации по применению.

- ***Раздел 3. Описание базовых функциональных ячеек специального назначения***

В разделе в алфавитном порядке представлены описания базовых ячеек специального назначения. Для каждой ячейки указываются ее основные данные, а именно: имя ячейки, графический образ, описание функционирования, таблица истинности, расчетные значения задержек распространения сигналов, рекомендуемые значения нагрузочной способности выходов, топологический размер ячейки, а также, при их наличии, приводится список выводов, у которых коэффициент объединения по входу отличен от единицы. В описание дополнительно к основным данным о ячейке включены рекомендации по ее применению.

# Описание базовых ячеек специального назначения и цифроаналоговых ячеек

---

---

**1** Система обозначений и состав библиотеки 5503..... 1

---

Описание базовых логических функциональных ячеек..... 2

---

Описание базовых функциональных ячеек специального назначения .... 3

---



## Раздел 1. Система обозначений и состав библиотеки 5503

Особенности библиотеки 5503 .....	1-2
Структура библиотеки .....	1-2
Система обозначений .....	1-2
Учет специфики БМК .....	1-3
Электрические параметры .....	1-4
Электрические параметры серии 5503 .....	1-4
Электрические параметры серии 5507 .....	1-5
Основные группы функциональных ячеек .....	1-6
Инверторы .....	1-7
Буферы .....	1-7
Логические функциональные ячейки .....	1-8
Триггеры RS-типа .....	1-12
Триггеры D-типа с разрешением записи по уровню .....	1-13
Триггеры с записью по фронту .....	1-14
Триггеры сканирования для организации тестирования .....	1-19
Триггеры Шмитта .....	1-20
Периферийные ячейки входа .....	1-21
Периферийные ячейки выхода .....	1-23
Периферийные ячейки входа/выхода .....	1-24
Драйверы периферийных ячеек .....	1-26
Компараторы цифровые .....	1-27
Мультиплексоры .....	1-29
Демультимплексоры .....	1-32
Дешифраторы .....	1-33
Шифраторы .....	1-34
Сумматоры .....	1-36
Счетчики .....	1-37
Регистры данных .....	1-42
Регистры сдвига .....	1-43
Компараторы аналого-цифровые .....	1-45
Операционные усилители .....	1-46
Ключи аналоговые .....	1-47
Ячейки доопределения .....	1-47
Специальные функциональные ячейки .....	1-47

### Особенности библиотеки 5503

Библиотека функциональных ячеек является основой для реализации схемотехнических решений конкретных БИС и во многом определяет качество проектирования. Для обеспечения бездефектного проектирования библиотека должна удовлетворять следующим требованиям:

- 1) включать в свой состав все основные группы функциональных ячеек;
- 2) иметь удобную для пользователя систему обозначений;
- 3) учитывать специфические особенности БМК.

#### Структура библиотеки

1

Чем шире спектр функций, реализуемых функциональными ячейками, тем качественнее и быстрее может быть проведена разработка микросхемы. Поэтому желательно, чтобы библиотека имела возможности оперативного расширения разработчиком БИС. С другой стороны, настройка САПР на новые функциональные ячейки – сложный и трудоемкий процесс, который выполняется разработчиками САПР и БМК. Данное противоречие в библиотеке 5503 решено ее разбиением на две структурные части:

- базовые функциональные ячейки, имеющие фиксированные топологии;
- макроячейки, реализованные на базовых функциональных ячейках.

Благодаря этому состав макроячеек может расширяться, совершенствоваться и изменяться без изменения настроек САПР. Состав же базовых ячеек зафиксирован. Базовые функциональные ячейки в процессе их разработки тщательно исследуются и аттестуются, после чего вводятся в состав библиотеки.

#### Система обозначений

Система обозначений библиотечных функциональных ячеек в большой степени определяет удобство пользования библиотекой и эффективность труда разработчика. Можно выделить три основных типа построения системы обозначений:

- 1) по формальному принципу;
- 2) с учетом конструктивных особенностей ячеек;
- 3) по функциональному принципу.

При построении системы обозначений *по формальному принципу* имена библиотечных ячеек состоят из обозначения типа функциональной ячейки и ее порядкового номера. Формальная система обозначений не отражает ни конструктивных особенностей, ни выполняемых ячейками функций и поэтому не является удобной для пользователя.

В системе обозначений, построенной *по конструктивному принципу*, имена функциональных ячеек включают в себя обозначение типа топологической ячейки, с которой начинается топологическая реализация функциональной ячейки, количество использованных топологических ячеек, обозначение типа ячейки, которой заканчивается топология, и порядковый номер функциональной ячейки с указанным топологическим размером. В данной системе обозначений в имени библиотечной ячейки кодируется ее размер и порядковый номер. Такая система обозначения облегчает разработку топологии, но совсем не удобна при проектировании электрической схемы, т.к. имя функциональной ячейки не отражает выполняемой ею функции.

Наиболее удобной является система обозначений, построенная *по функциональному принципу*, которая и принята в библиотеке 5503. Название ячейки включает в себя обозначение типа ячейки и может также отражать состав и приоритетность сигналов, обозначение активного уровня сигнала и схемотехнические особенности реализации ячейки.

### *Учет специфики БМК*

Библиотечные функциональные ячейки библиотеки 5503 разработаны с учетом конструкции БМК серий 5503 и 5507. Существенной особенностью конструкции является использование слоя поликремния для разводки шин.

Применение поликремния, имеющего значительное удельное сопротивление, в качестве слоя разводки обуславливает существенное различие в задержках распространения сигнала по поликремнию и металлу. Важно принимать это во внимание при использовании триггеров с раздельным парафазным тактированием. В таких триггерах за счет разбаланса топологических задержек в цепях синхронизации может возникать нарушение синхронности парафазных сигналов, что вызывает ошибки функционирования триггера. Избежать этого можно корректной реализацией цепей синхронизации в рамках библиотечной функциональной ячейки. Поэтому в библиотеке 5503 все триггеры с записью по уровню и по фронту имеют один вход сигнала синхронизации.

Базовая ячейка поля БМК серий 5503 и 5507 представляет собой две пары комплементарных транзисторов с объединенными затворами. Конструкция БМК позволяет создавать функциональные ячейки различного уровня сложности: например, существует возможность объединения в рамках одной библиотечной функциональной ячейки нескольких независимых логических функций. При разработке электрической схемы, однако, логические функции подобных ячеек могут находиться в несвязанных частях схемы и для эффективного использования трассировочных ресурсов их целесообразно располагать в разных местах поля БМК. Поэтому в библиотеке 5503 реализован принцип «в одной библиотечной ячейке одна логическая функция».

Ухудшать качество топологии БИС может также и применение многовходовых функциональных ячеек. Например, чтобы выполнить разводку 4-входовой логической ячейки, к ней нужно подвести четыре входные и одну выходную трассу. Это локально перегружает каналы трассировки и значительно осложняет разработку топологии. Такие функциональные ячейки, как правило, могут быть реализованы в виде составных ячеек. Например, функциональная ячейка 4И реализуется на двух ячейках 2И-НЕ и ячейке 2ИЛИ-НЕ. При этом топологический размер составной функциональной ячейки равен топологическому размеру функциональной ячейки 4И, а локальной перегрузки топологии можно избежать благодаря возможности свободного размещения входящих в ее состав ячеек 2И-НЕ и 2ИЛИ-НЕ.

В библиотеке 5503 реализованы группы функциональных ячеек, выполняющие все возможные логические функции двух и трех переменных с учетом инверсии всех входов. Функциональные ячейки логических функций четырех и более переменных реализованы как макроячейки, что позволяет при разработке топологии в каждом конкретном случае оптимально размещать на поле БМК библиотечные ячейки, входящие в их состав, и не допускать возникновения локальных перегрузок в каналах трассировки.

Следует также отметить, что в состав библиотеки входят триггеры как для асинхронных методов проектирования, так и для синхронных.

### Электрические параметры

Электрические параметры микросхем в основном определяются характеристиками периферийных ячеек. При поставке изготовитель гарантирует соответствие электрических параметров микросхем значениям, указанным в Технических условиях на микросхемы и подтвержденным квалификационными испытаниями.

Различают номинальные значения электрических параметров микросхем, предельно-допустимые и предельные режимы эксплуатации микросхем. Номинальные значения электрических параметров контролируются при изготовлении и поставке микросхем, гарантируются в процессе их эксплуатации в режимах и условиях, допускаемых Техническими условиями.

Значения электрических параметров микросхем на БМК серий 5503 и 5507 приведены в таблицах 1–4.

#### Электрические параметры серии 5503

Номинальные значения электрических параметров микросхем, изготовленных на основе БМК серии 5503, представлены в таблице 1. Номинальное значение напряжения питания  $U_{CC} = 5 \text{ В} \pm 10\%$ .

Таблица 1. Номинальные значения электрических параметров серии 5503

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Выходное напряжение низкого уровня, В при $I_{OL} = 4,0 \text{ мА}$ , $U_{CC} = 4,5 \text{ В}$	$U_{OL}$		0,4	минус 60 +85
Выходное напряжение высокого уровня, В при $I_{OH} = 2,0 \text{ мА}$ , $U_{CC} = 4,5 \text{ В}$	$U_{OH}$	4,0		минус 60 +85
Ток потребления, мА	$I_{CC}$		0,15	+25±10
			0,4	минус 60 +85
Токи утечки низкого и высокого уровней на входе, мкА	$I_{LIL}, I_{LIH}$		0,3	+25±10
			3,0	минус 60 +85
Выходной ток низкого и высокого уровней в состоянии «Выключено», мкА	$I_{OZL}, I_{OZH}$		0,3	+25±10
			3,0	минус 60 +85
Ток доопределения внешнего вывода до высокого уровня, мА	$I_{HIR}$	0,03	1	минус 60 +85
Ток доопределения внешнего вывода до низкого уровня, мА	$I_{LIR}$	0,07	2	минус 60 +85
Время задержки на вентиль, нс	$t_D$		2,0	+25±10
			3,0	минус 60 +85
Входная емкость, пФ	$C_I$		7	+25±10
Емкость входа/выхода, пФ	$C_{IO}$		7	+25±10

Предельно-допустимые режимы эксплуатации — это внешние по отношению к микросхеме электрические параметры, в пределах значений которых допускается эксплуатация микросхемы. Превышение предельных режимов может привести к отказу микросхемы.

**Таблица 2.** Предельно-допустимые и предельные режимы эксплуатации микросхем серии 5503

Наименование параметра, обозначение параметра, единица измерения	Норма			
	предельно-допустимый режим		предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, $U_{CC}$ , В	4,5	5,5	минус 0,2	7,0
Напряжение, прикладываемое к выходу закрытой микросхемы, В	0	$U_{CC}$	минус 0,4	$U_{CC} + 0,4$
Входное напряжение низкого уровня, $U_{IL}$ , В	–	0,8	минус 0,4	–
Входное напряжение высокого уровня, $U_{IH}$ , В	$U_{CC} - 1,0$	$U_{CC}$		$U_{CC} + 0,4$
Выходной ток низкого уровня, $I_{OL}$ , мА		4,0		8,0
Выходной ток высокого уровня, $I_{OH}$ , мА		2,0		8,0

### Электрические параметры серии 5507

Номинальное значение напряжения питания  $U_{CC} = 3 \text{ В} \pm 10\%$ .

**Таблица 3.** Номинальные значения электрических параметров серии 5507

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Выходное напряжение низкого уровня, В при $I_{OL} = 3,0 \text{ мА}$ , $U_{CC} = 2,7 \text{ В}$	$U_{OL}$		0,3	минус 60 +85
Выходное напряжение высокого уровня, В при $I_{OH} = 1,5 \text{ мА}$ , $U_{CC} = 2,7 \text{ В}$	$U_{OH}$	2,4		минус 60 +85
Ток потребления, мА	$I_{CC}$		0,15	+25±10
			0,4	минус 60 +85
Токи утечки низкого и высокого уровней на входе, мкА	$I_{LIL}$ , $I_{LIH}$		0,3	+25±10
			3,0	минус 60 +85
Выходной ток низкого и высокого уровней в состоянии «Выключено», мкА	$I_{OZL}$ , $I_{OZH}$		0,3	+25±10
			3,0	минус 60 +85
Ток доопределения внешнего вывода до высокого уровня, мА	$I_{HIR}$	0,03	1	минус 60 +85
Ток доопределения внешнего вывода до низкого уровня, мА	$I_{LIR}$	0,07	2	минус 60 +85



Таблица 3 (окончание)

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Время задержки на клапан, нс	$t_D$		3,0	+25±10
			5,0	минус 60 +85
Входная емкость, пФ	$C_I$		7	+25±10
Емкость входа/выхода, пФ	$C_{I/O}$		7	+25±10

Таблица 4. Предельно-допустимые и предельные режимы эксплуатации микросхем серии 5507

Наименование параметра, обозначение параметра, единица измерения	Норма			
	предельно-допустимый режим		предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, $U_{CC}$ , В	2,7	3,3	минус 0,2	5,0
Напряжение, прикладываемое к выходу закрытой микросхемы, В	0	$U_{CC}$	минус 0,4	$U_{CC} + 0,4$
Входное напряжение низкого уровня, $U_{IL}$ , В		0,4	минус 0,4	
Входное напряжение высокого уровня, $U_{IH}$ , В	$U_{CC} - 0,4$	$U_{CC}$		$U_{CC} + 0,4$
Выходной ток низкого уровня, $I_{OL}$ , мА		3,0		6,0
Выходной ток высокого уровня, $I_{OH}$ , мА		1,5		3,0

### Основные группы функциональных ячеек

Условные обозначения функциональных ячеек библиотеки 5503 включают в себя буквенное обозначение выполняемой функции, разрядность, состав управляющих входов и номер модификации. В соответствии с этим ячейки, принадлежащие одной функциональной группе, имеют одинаковое обозначение выполняемой функции. Система обозначений распространяется как на базовые функциональные ячейки, так и на макроячейки. В состав библиотеки 5503 входят:

- инверторы;
- буферы;
- логические функциональные ячейки;
- триггеры;
- триггеры Шмитта;
- периферийные ячейки и драйверы;
- компараторы;
- мультиплексоры;
- демultipлексоры;
- дешифраторы;
- шифраторы;
- сумматоры;
- счетчики;
- регистры данных;
- регистры сдвига;
- аналого-цифровые компараторы;

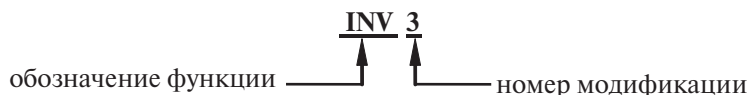
- операционные усилители;
- специальные функциональные ячейки.

Для удобства поиска требуемой функциональной ячейки в данном разделе приведены описания групп базовых ячеек, в которых указаны страницы с описанием конкретных функциональных ячеек из каждой группы и имена макроячеек, входящих в группу.

### Инверторы

Инвертор – функциональная ячейка, обеспечивающая усиление цифрового сигнала с инверсией его логического уровня. В состав библиотеки входят инверторы с различным уровнем нагрузочной способности, а также инверторы, которые, помимо логических уровней «0» и «1», позволяют формировать на их выходе высокоимпедансное состояние, что обеспечивает возможность организации в микросхеме внутренних шин данных. Указанные инверторы для управления состоянием выхода имеют дополнительный вход управления.

Обозначение инвертора включает в себя обозначение функции и номер модификации.



Обозначение функции может принимать следующие значения:

**INV** – инвертор с одним инверсным выходом;

**INVE** – инвертор с тремя выходными состояниями с разрешением высоким уровнем;

**INVT** – инвертор с тремя выходными состояниями с разрешением низким уровнем.

Номер модификации соответствует количеству параллельно включенных инверторов, принимает значения 2, 3. Для одиночного инвертора номер модификации отсутствует.

Имя	Функция	Страница
<b>INV</b>	Инвертор	2-136
<b>INV2</b>	Сдвоенный инвертор	2-136
<b>INV3</b>	Строенный инвертор	2-136
<b>INVE</b>	Инвертор с третьим состоянием и управлением высоким уровнем	3-42
<b>INVT</b>	Инвертор с третьим состоянием и управлением низким уровнем	3-43

### Буферы

Буфер – это функциональная ячейка, обеспечивающая усиление цифрового сигнала без изменения его логического уровня. В состав библиотеки входят буферы с различным допустимым уровнем нагрузочной способности. Для расширения функциональных возможностей ряд буферов имеет парафазные выходы.

Для организации внутренних шин данных в состав библиотеки введены буферы, позволяющие формировать на их выходе высокоимпедансное состояние.

Указанные буферы для управления состоянием выхода имеют дополнительный вход управления.

Обозначение буфера включает в себя обозначение функции и номер модификации.



Обозначение функции может принимать следующие значения:

**BUF** – буфер с одним прямым выходом;

**BUFP** – буфер с парафазным выходом;

**BUFE** – буфер с тремя выходными состояниями с разрешением высоким уровнем;

**BUFT** – буфер с тремя выходными состояниями с разрешением низким уровнем.

Номер модификации определяет нагрузочную способность выходного сигнала буфера и соответствует количеству параллельно включенных инверторов выходного каскада, принимает значения 2, 3. Для одиночного буфера номер модификации отсутствует.

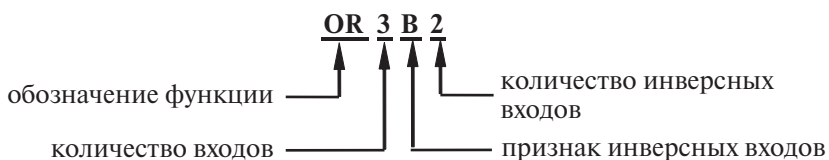
Имя	Функция	Страница
<b>BUF</b>	Буфер	2-7
<b>BUF2</b>	Буфер со сдвоенным выходным каскадом	2-7
<b>BUF3</b>	Буфер со строенным выходным каскадом	2-7
<b>BUFP</b>	Буфер с парафазным выходом	2-7
<b>BUF2P</b>	Буфер с парафазным выходом со сдвоенным выходным каскадом	2-7
<b>BUF3P</b>	Буфер с парафазным выходом со строенным выходным каскадом	2-7
<b>BUFE</b>	Буфер с тремя выходными состояниями и разрешением высоким уровнем	3-22
<b>BUFG</b>	Буфер для организации глобальной синхронизации	2-8
<b>BUFT</b>	Буфер с тремя выходными состояниями и разрешением низким уровнем	3-22

### Логические функциональные ячейки

При реализации схем требуются самые разнообразные логические ячейки. В библиотеке реализованы полные с точки зрения состава прямых и инверсных входов наборы логических функциональных ячеек от двух и трех переменных (кроме ячеек **XOR3** и **XNOR3**, реализованных в виде макроячеек). Функциональные ячейки от четырех до девяти переменных также реализованы в виде макроячеек. При этом макроячейки от четырех и пяти переменных имеют полный набор прямых и инверсных входов, макроячейки от шести до девяти переменных – только прямые входы.

Библиотека содержит функциональные ячейки, выполняющие типовую логическую функцию, и составные логические ячейки.

Обозначение логической функциональной ячейки, выполняющей типовую логическую функцию, включает в себя обозначение функции, общее количество входов, признак и количество инверсных входов.



Обозначение функции может принимать следующие значения:

- AND** — функция И;
- MAJ** — функция мажорирования;
- NAN** — функция И-НЕ;
- NOR** — функция ИЛИ-НЕ;
- OR** — функция ИЛИ;
- XOR** — функция сложения по модулю 2;
- XNOR** — функция сложения по модулю 2 с инверсией.

Признак наличия инверсных входов не указывается в случае отсутствия инверсных входов. Для ячеек, выполняющих функцию мажорирования, не указывается количество входов.

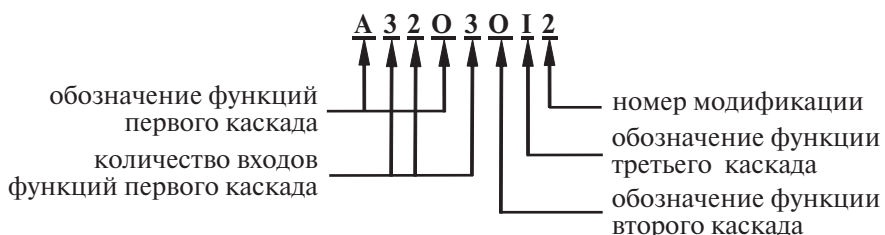
Имя	Функция	Страница
1	2	3
<b>AND2</b>	2-И	2-5
<b>AND2B1</b>	2-И с инверсным входом	2-5
<b>AND2B2</b>	2-И с двумя инверсными входами	2-5
<b>AND3</b>	3-И	2-6
<b>AND3B1</b>	3-И с одним инверсным входом	2-6
<b>AND3B2</b>	3-И с двумя инверсными входами	2-6
<b>AND3B3</b>	3-И с тремя инверсными входами	2-6
<b>AND4</b>	4-И	2-6
<b>MAJ</b>	3-входовая мажоритарная ячейка с прямым выходом	2-151
<b>MAJB</b>	3-входовая мажоритарная ячейка с инверсным выходом	2-152
<b>NAN2</b>	2-И-НЕ	2-155
<b>NAN2B1</b>	2-И-НЕ с одним инверсным входом	2-155
<b>NAN2B2</b>	2-И-НЕ с двумя инверсными входами	2-155
<b>NAN3</b>	3-И-НЕ	2-155
<b>NAN3B1</b>	3-И-НЕ с одним инверсным входом	2-155
<b>NAN3B2</b>	3-И-НЕ с двумя инверсными входами	2-155
<b>NAN3B3</b>	3-И-НЕ с тремя инверсными входами	2-155
<b>NOR2</b>	2-ИЛИ-НЕ	2-156
<b>NOR2B1</b>	2-ИЛИ-НЕ с одним инверсным входом	2-156
<b>NOR2B2</b>	2-ИЛИ-НЕ с двумя инверсными входами	2-156
<b>NOR3</b>	3-ИЛИ-НЕ	2-156
<b>NOR3B1</b>	3-ИЛИ-НЕ с одним инверсным входом	2-156
<b>NOR3B2</b>	3-ИЛИ-НЕ с двумя инверсными входами	2-156
<b>NOR3B3</b>	3-ИЛИ-НЕ с тремя инверсными входами	2-156
<b>OR2</b>	2-ИЛИ	2-162
<b>OR2B1</b>	2-ИЛИ с одним инверсным входом	2-162
<b>OR2B2</b>	2-ИЛИ с двумя инверсными входами	2-162

Имя	Функция	Страница
1	2	3
OR3	3-ИЛИ	2-162
OR3B1	3-ИЛИ с одним инверсным входом	2-162
OR3B2	3-ИЛИ с двумя инверсными входами	2-162
OR3B3	3-ИЛИ с тремя инверсными входами	2-162
OR4	4-ИЛИ	2-162
XOR2	2-входная ячейка сложения по модулю 2	2-201
XNOR2	2-входная ячейка сложения по модулю 2 с инверсией	2-200

Состав логических функциональных ячеек, реализованных в виде макроячеек, приведен ниже.

Имя	Функция
AND4B1, AND4B2, AND4B3, AND4B4	группа ячеек 4-И с полным перебором количества инверсных входов
AND5, AND5B1, AND5B2, AND5B3, AND5B4, AND5B5	группа ячеек 5-И с полным перебором количества инверсных входов
AND6, AND7, AND8, AND9	группа ячеек функции И с количеством входов от 6 до 9
NAN4, NAN4B1, NAN4B2, NAN4B3, NAN4B4	группа ячеек 4-И-НЕ с полным перебором количества инверсных входов
NAN5, NAN5B1, NAN5B2, NAN5B3, NAN5B4, NAN5B5	группа ячеек 5-И-НЕ с полным перебором количества инверсных входов
NAN6, NAN7, NAN8, NAN9	группа ячеек функции И-НЕ с количеством входов от 6 до 9
NOR4, NOR4B1, NOR4B2, NOR4B3, NOR4B4	группа ячеек 4-ИЛИ-НЕ с полным перебором количества инверсных входов
NOR5, NOR5B1, NOR5B2, NOR5B3, NOR5B4, NOR5B5	группа ячеек 5-ИЛИ-НЕ с полным перебором количества инверсных входов
NOR6, NOR7, NOR8, NOR9	группа ячеек функции ИЛИ-НЕ с количеством входов от 6 до 9
OR4B1, OR4B2, OR4B3, OR4B4	группа ячеек 4-ИЛИ с полным перебором количества инверсных входов
OR5, OR5B1, OR5B2, OR5B3, OR5B4, OR5B5	группа ячеек 5-ИЛИ с полным перебором количества инверсных входов
OR6, OR7, OR8, OR9	группа ячеек функции ИЛИ с количеством входов от 6 до 9
XNOR3, XNOR4, XNOR5, XNOR6, XNOR7, XNOR8, XNOR9	группа ячеек сложения по модулю 2 с инверсией с количеством входов от 3 до 9 разрядов
XOR3, XOR4, XOR5, XOR6, XOR7, XOR8, XOR9	группа ячеек сложения по модулю 2 с количеством входов от 3 до 9

Обозначение составной логической функциональной ячейки включает в себя обозначение функций, выполняемых ячейкой в соответствии с их последовательностью, количество входов элементов первого каскада, номер модификации данной ячейки.



Обозначение функций может принимать следующие значения:

- A** – функция И;
- O** – функция ИЛИ;
- I** – функция инверсии.

Библиотечная функциональная ячейка может содержать два или три каскада. В начале имени функциональной ячейки указывается обозначение функции первого каскада, который может содержать несколько элементов данной функции, и количество входов каждого из этих элементов данной функции. Затем указывается обозначение функции первого каскада, содержащей только один элемент. После этого указывается обозначение функций второго и третьего каскадов. Модификацией функциональной ячейки является ячейка, выполняющая ту же функцию и имеющая то же количество входов, но содержащая инверсные входы. Номер модификации может отсутствовать.

Ниже приведен состав базовых логических ячеек библиотеки 5503, выполняющих сложную функцию. Реализуемая функция описана в виде формул, инверсные входы в конце имени обозначены буквой **B**.

Имя	Функция	Страница
1	2	3
<b>A21O</b>	$I0 \cdot I1 + I2$	2-2
<b>A21O1</b>	$I0 \cdot I1B + I2$	2-2
<b>A21O2</b>	$I0B \cdot I1B + I2$	2-2
<b>A21O3</b>	$I0 \cdot I1 + I2B$	2-2
<b>A21O4</b>	$I0 \cdot I1B + I2B$	2-2
<b>A21O5</b>	$I0B \cdot I1B + I2B$	2-2
<b>A21OI</b>	$(I0 \cdot I1 + I2)B$	2-2
<b>A21OI1</b>	$(I0 \cdot I1B + I2)B$	2-2
<b>A21OI2</b>	$(I0B \cdot I1B + I2)B$	2-2
<b>A21OI3</b>	$(I0 \cdot I1 + I2B)B$	2-2
<b>A21OI4</b>	$(I0 \cdot I1B + I2B)B$	2-2

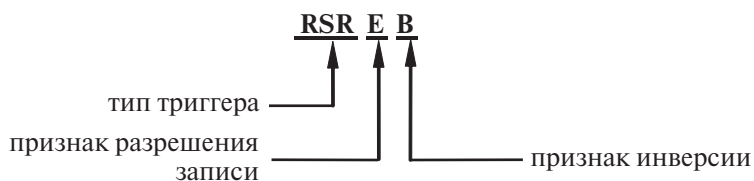
Имя	Функция	Страница
1	2	3
A21O15	$(I0B * I1B + I2B)B$	2-2
O21A	$(I0 + I1) * I2$	2-157
O21A1	$(I0 + I1)B * I2$	2-157
O21A2	$(I0B + I1B) * I2$	2-157
O21A3	$(I0 + I1) * I2B$	2-157
O21A4	$(I0 + I1B) * I2B$	2-157
O21A5	$(I0B + I1B) * I2B$	2-157
O21AI	$((I0 + I1) * I2)B$	2-157
O21AI1	$((I0 + I1B) * I2)B$	2-157
O21AI2	$((I0B + I1B) * I2)B$	2-157
O21AI3	$((I0 + I1) * I2B)B$	2-157
O21AI4	$((I0 + I1B) * I2B)B$	2-157
O21AI5	$((I0B + I1B) * I2B)B$	2-157
A22O	$(I0 * I1) + (I2 * I3)$	2-2
A22OI	$((I0 * I1) + (I2 * I3))B$	2-3
O22A	$(I0 + I1) * (I2 + I3)$	2-158
O22AI	$((I0 + I1) * (I2 + I3))B$	2-158
A31O	$(I0 * I1 * I2) + I3$	2-3
A31OI	$((I0 * I1 * I2) + I3)B$	2-3
O31A	$(I0 + I1 + I2) * I3$	2-158
O31AI	$((I0 + I1 + I2) * I3)B$	2-158

### Триггеры RS-типа

Триггер RS-типа — это функциональная ячейка памяти, имеющая два устойчивых состояния, которые определяются сигналами управления.

Как известно, триггеры RS-типа при наличии активных сигналов на входах R и S имеют запрещенную комбинацию, при которой прямой и инверсный выходы триггера находятся в одном и том же логическом состоянии. Библиотека функциональных ячеек содержит модификации RS-триггера, не имеющие запрещенных комбинаций за счет реализации приоритета одного из входов. Это RSS-триггер с приоритетом сигнала S, RSR-триггер с приоритетом сигнала R и RSK-триггер, обеспечивающий хранение информации при запрещенной ситуации на входах. В состав библиотеки входят также триггеры, синхронизируемые по активному уровню сигнала управления, с приоритетом сигнала R и приоритетом сигнала S. Все указанные триггеры реализованы в базе активных входных сигналов высокого и низкого уровня.

Обозначение триггера RS-типа включает в себя обозначение типа триггера, признак разрешения записи и признак инверсии входных сигналов.



Тип RS-триггера может принимать следующие значения:

**RS** – триггер RS-типа с запрещенной комбинацией;

**RSS** – триггер с приоритетом установки SET (S-типа);

**RSR** – триггер с приоритетом сброса RESET (R-типа);

**RSK** – триггер с приоритетом хранения (K-типа), обеспечивающий хранение информации при запрещенной ситуации на входах.

Признак **E** указывает на наличие сигнала разрешения записи (вход **E**).

Признак **B** означает, что сигналы управления (входы **R**, **S** и **E**) имеют активный низкий уровень.

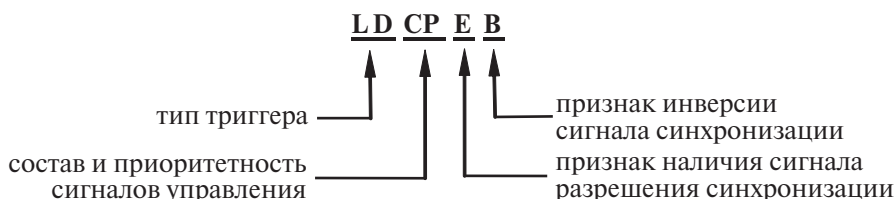
Имя	Функция	Страница
<b>RS</b>	триггер RS-типа с управлением высоким уровнем	2-163
<b>RSB</b>	триггер RS-типа с управлением низким уровнем	2-164
<b>RSK</b>	триггер RS-типа с приоритетом хранения и управлением высоким уровнем	2-165
<b>RSKB</b>	триггер RS-типа с приоритетом хранения и управлением низким уровнем	2-166
<b>RSR</b>	триггер RS-типа с приоритетом сброса и управлением высоким уровнем	2-167
<b>RSRB</b>	триггер RS-типа с приоритетом сброса и управлением низким уровнем	2-168
<b>RSS</b>	триггер RS-типа с приоритетом установки и управлением высоким уровнем	2-171
<b>RSSB</b>	триггер RS-типа с приоритетом установки и управлением низким уровнем	2-172
<b>RSRE</b>	триггер RS-типа с приоритетом сброса, управлением и разрешением записи высоким уровнем	2-169
<b>RSREB</b>	триггер RS-типа с приоритетом сброса, управлением и разрешением записи низким уровнем	2-170
<b>RSSE</b>	триггер RS-типа с приоритетом установки, управлением и разрешением записи высоким уровнем	2-173
<b>RSSEB</b>	триггер RS-типа с приоритетом установки, управлением и разрешением записи низким уровнем	2-174

#### *Триггеры D-типа с разрешением записи по уровню*

Триггер D-типа с разрешением записи по уровню – это функциональная ячейка памяти, имеющая два устойчивых состояния, которые изменяются при наличии активного уровня сигнала синхронизации в зависимости от данных на входе **D**.

Обозначение триггера включает в себя тип триггера (**LD**), состав и приоритетность сигналов управления, признак наличия сигнала разрешения синхронизации и признак инверсии сигнала синхронизации.





В обозначении триггера указывается состав управляющих сигналов установки и сброса, причем первым указывается тот сигнал, который имеет более высокий приоритет. В качестве управляющих могут использоваться следующие сигналы:

**С** – асинхронный сброс (вход **CLR**);

**P** – асинхронная установка (вход **PRE**).

Признак **E** указывает на наличие сигнала разрешения записи (вход **CE**).

Признак **B** означает, что активным является низкий уровень сигнала синхронизации (вход **C**).

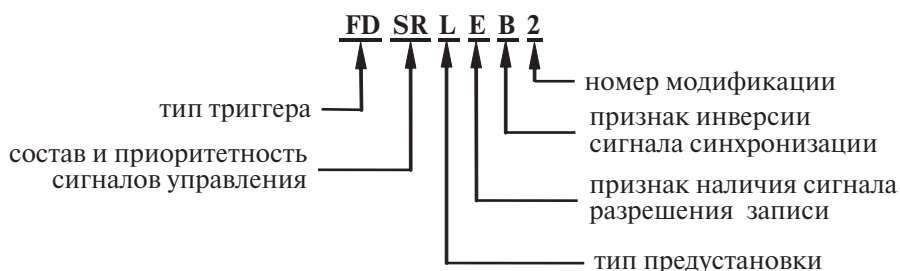
1

Имя	Функция	Страница
<b>LD</b>	триггер-защелка D-типа с синхронизацией высоким уровнем	2-140
<b>LDB</b>	триггер-защелка D-типа с синхронизацией низким уровнем	2-140
<b>LDC</b>	триггер-защелка D-типа с асинхронным сбросом с синхронизацией высоким уровнем	2-141
<b>LDCB</b>	триггер-защелка D-типа с асинхронным сбросом с синхронизацией низким уровнем	2-142
<b>LDCE</b>	триггер-защелка D-типа с асинхронным сбросом и разрешением записи с синхронизацией высоким уровнем	2-143
<b>LDCEB</b>	триггер-защелка D-типа с асинхронным сбросом и разрешением записи с синхронизацией низким уровнем	2-144
<b>LDCP</b>	триггер-защелка D-типа с асинхронными сбросом и установкой с синхронизацией высоким уровнем	2-145
<b>LDCPB</b>	триггер-защелка D-типа с асинхронными сбросом и установкой с синхронизацией низким уровнем	2-146
<b>LDCPE</b>	триггер-защелка D-типа с асинхронными сбросом и установкой и разрешением записи с синхронизацией высоким уровнем	2-147
<b>LDCPEB</b>	триггер-защелка D-типа с асинхронными сбросом и установкой и разрешением записи с синхронизацией низким уровнем	2-148
<b>LDP</b>	триггер-защелка D-типа с асинхронной установкой с синхронизацией высоким уровнем	2-149
<b>LDPB</b>	триггер-защелка D-типа с асинхронной установкой с синхронизацией низким уровнем	2-150

### Триггеры с записью по фронту

Триггер с записью по фронту – это функциональная ячейка памяти, имеющая два устойчивых состояния, которые изменяются при появлении активного фронта сигнала синхронизации в зависимости от состояния сигналов управления и текущего состояния триггера.

Обозначение триггера включает в себя обозначение типа триггера, состав и приоритетность сигналов управления, тип предустановки, признаки сигналов и номер модификации.



В библиотеке реализованы следующие типы триггеров:

- FC** – детектор фронта;
- FD** – триггер D-типа;
- FJK** – триггер JK-типа;
- FT** – счетный триггер T-типа.

В обозначении триггера указываются состав и приоритетность сигналов управления. Первым указывается тот сигнал, который имеет высший приоритет. В качестве управляющих могут использоваться следующие сигналы:

- C** – асинхронный сброс (вход **CLR**);
- P** – асинхронная установка (вход **PRE**);
- R** – синхронный сброс (вход **R**);
- S** – синхронная установка (вход **S**).

Тип предустановки может отсутствовать или принимать следующие значения:

- L** – синхронная предустановка (вход **L**);
- I** – асинхронная предустановка (вход **I**).

Присутствие признака **E** наличия сигнала разрешения записи указывает на то, что в триггере есть вход разрешения сигнала синхронизации (вход **CE**).

Признак инверсии **B** означает, что активным для триггера является задний фронт сигнала синхронизации.

Модификациями считаются триггеры, имеющие дополнительные входные сигналы, номер модификации может отсутствовать.

Имя	Функция	Страница
1	2	3
<b>FCC</b>	детектор переднего фронта с асинхронным сбросом	2-27
<b>FCC2</b>	детектор переднего фронта с двумя входами асинхронного сброса	2-28
<b>FCCB</b>	детектор заднего фронта с асинхронным сбросом	2-29
<b>FCCB2</b>	детекторы заднего фронта с двумя входами асинхронного сброса	2-30
<b>FD</b>	триггер D-типа с записью по переднему фронту	2-31
<b>FDB</b>	триггер D-типа с записью по заднему фронту	2-31
<b>FDC</b>	триггер D-типа с асинхронным сбросом с записью по переднему фронту	2-32
<b>FDCB</b>	триггер D-типа с асинхронным сбросом с записью по заднему фронту	2-33
<b>FDCE</b>	триггер D-типа с асинхронным сбросом и разрешением записи с записью по переднему фронту	2-34
<b>FDCEB</b>	триггер D-типа с асинхронным сбросом и разрешением записи с записью по заднему фронту	2-35
<b>FDCI</b>	триггер D-типа с асинхронным сбросом и асинхронной загрузкой с записью по переднему фронту	2-36
<b>FDCIB</b>	триггер D-типа с асинхронным сбросом и асинхронной загрузкой с записью по заднему фронту	2-37

Имя	Функция	Страница
1	2	3
FDCL	триггер D-типа с асинхронным сбросом и синхронной загрузкой с записью по переднему фронту	2-38
FDCLB	триггер D-типа с асинхронным сбросом и синхронной загрузкой с записью по заднему фронту	2-39
FDCLE	триггер D-типа с асинхронным сбросом, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-40
FDCLEB	триггер D-типа с асинхронным сбросом, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-41
FDCP	триггер D-типа с записью по переднему фронту с асинхронными сбросом и установкой	2-42
FDCPB	триггер D-типа с асинхронными сбросом и установкой с записью по заднему фронту	2-43
FDCPE	триггер D-типа, с асинхронными сбросом и установкой и разрешением записи с записью по переднему фронту	2-44
FDCPEB	триггер D-типа с асинхронными сбросом и установкой и разрешением записи с записью по заднему фронту	2-45
FDCPI	триггер D-типа с асинхронными сбросом и установкой и асинхронной загрузкой с записью по переднему фронту	2-46
FDCPIB	триггер D-типа с асинхронными сбросом и установкой и асинхронной загрузкой с записью по заднему фронту	2-47
FDCPL	триггер D-типа с асинхронными сбросом и установкой и синхронной загрузкой с записью по переднему фронту	2-48
FDCPLB	триггер D-типа с асинхронными сбросом и установкой и синхронной загрузкой с записью по заднему фронту	2-49
FDE	триггер D-типа с разрешением записи с записью по переднему фронту	2-50
FDEB	триггер D-типа с разрешением записи с записью по заднему фронту	2-51
FDL	триггер D-типа с синхронной загрузкой с записью по переднему фронту	2-52
FDLB	триггер D-типа с синхронной загрузкой с записью по заднему фронту	2-53
FDLE	триггер D-типа с синхронной загрузкой и разрешением записи с записью по переднему фронту	2-54
FDLEB	триггер D-типа с синхронной загрузкой и разрешением записи с записью по заднему фронту	2-55
FDP	триггер D-типа с асинхронной установкой с записью по переднему фронту	2-56
FDPB	триггер D-типа с асинхронной установкой с записью по заднему фронту	2-57
FDPE	триггер D-типа с асинхронной установкой и разрешением записи с записью по переднему фронту	2-58
FDPEB	триггер D-типа с асинхронной установкой и разрешением записи с записью по заднему фронту	2-59
FDPI	триггер D-типа с асинхронной установкой и асинхронной загрузкой с записью по переднему фронту	2-60
FDPIB	триггер D-типа с асинхронной установкой и асинхронной загрузкой с записью по заднему фронту	2-61
FDPL	триггер D-типа с асинхронной установкой и синхронной загрузкой с записью по переднему фронту	2-62
FDPLB	триггер D-типа с асинхронной установкой и синхронной загрузкой с записью по заднему фронту	2-63
FDPLE	триггер D-типа с асинхронной установкой, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-64
FDPLEB	триггер D-типа с асинхронной установкой, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-65

Имя	Функция	Страница
1	2	3
FDR	триггер D-типа с синхронным сбросом с записью по переднему фронту	2-66
FDRB	триггер D-типа с синхронным сбросом с записью по заднему фронту	2-67
FDRE	триггер D-типа синхронным сбросом и разрешением записи с записью по переднему фронту	2-68
FDREB	триггер D-типа с синхронным сбросом и разрешением записи с записью по заднему фронту	2-69
FDRL	триггер D-типа с синхронным сбросом и синхронной загрузкой с записью по переднему фронту	2-70
FDRLB	триггер D-типа с синхронным сбросом и синхронной загрузкой с записью по заднему фронту	2-71
FDRLE	триггер D-типа синхронным сбросом, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-72
FDRLEB	триггер D-типа с синхронным сбросом, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-73
FDRS	триггер D-типа с синхронными сбросом и установкой с записью по переднему фронту	2-74
FDRSB	триггер D-типа с синхронными сбросом и установкой с записью по заднему фронту	2-75
FDRSE	триггер D-типа с синхронными сбросом и установкой и разрешением записи с записью по переднему фронту	2-76
FDRSEB	триггер D-типа с синхронными сбросом и установкой и разрешением записи с записью по заднему фронту	2-77
FDRSL	триггер D-типа с синхронными сбросом и установкой и синхронной загрузкой с записью по переднему фронту	2-78
FDRSLB	триггер D-типа с синхронными сбросом и установкой и синхронной загрузкой с записью по заднему фронту	2-79
FDRSLE	триггер D-типа с синхронными сбросом и установкой, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-80
FDS	триггер D-типа с синхронной установкой с записью по переднему фронту	2-81
FDSB	триггер D-типа с синхронной установкой с записью по заднему фронту	2-82
FDSE	триггер D-типа с синхронной установкой и разрешением записи с записью по переднему фронту	2-83
FDSEB	триггер D-типа с синхронной установкой и разрешением записи с записью по заднему фронту	2-84
FDSL	триггер D-типа с синхронной установкой и синхронной загрузкой с записью по переднему фронту	2-85
FDSLБ	триггер D-типа с синхронной установкой и синхронной загрузкой с записью по заднему фронту	2-86
FDSLE	триггер D-типа с синхронной установкой, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-87
FDSLEB	триггер D-типа с синхронной установкой, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-88
FDSR	триггер D-типа с синхронными установкой и сбросом с записью по переднему фронту	2-89
FDSRB	триггер D-типа с синхронными установкой и сбросом с записью по заднему фронту	2-90
FDSRE	триггер D-типа с синхронными установкой и сбросом и разрешением записи с записью по переднему фронту	2-91
FDSREB	триггер D-типа с синхронными установкой и сбросом и разрешением записи с записью по заднему фронту	2-92

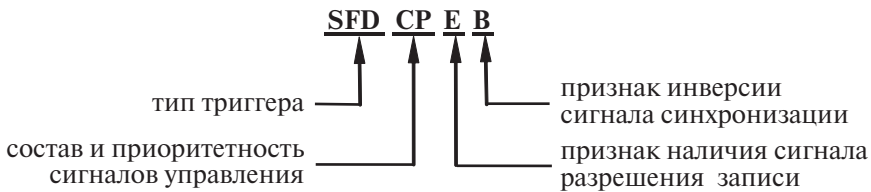
Имя	Функция	Страница
1	2	3
FDSRL	триггер D-типа с синхронными установкой и сбросом и синхронной загрузкой с записью по переднему фронту	2-93
FDSRLB	триггер D-типа с синхронными установкой и сбросом и синхронной загрузкой с записью по заднему фронту	2-94
FDSRLE	триггер D-типа с синхронными установкой и сбросом, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-95
FJKCP	триггер JK-типа с асинхронными сбросом и установкой с записью по переднему фронту	2-96
FJKCPB	триггер JK-типа с асинхронными сбросом и установкой с записью по заднему фронту	2-97
FTC	счетный триггер с асинхронным сбросом с синхронизацией по переднему фронту	2-98
FTCB	счетный триггер с асинхронным сбросом с синхронизацией по заднему фронту	2-99
FTCE	счетный триггер с асинхронным сбросом и разрешением счета с синхронизацией по переднему фронту	2-100
FTCEB	счетный триггер с асинхронным сбросом и разрешением счета с синхронизацией по заднему фронту	2-101
FTCL	счетный триггер с асинхронным сбросом и синхронной загрузкой с синхронизацией по переднему фронту	2-102
FTCLB	счетный триггер с асинхронным сбросом и синхронной загрузкой с синхронизацией по заднему фронту	2-103
FTCLE	счетный триггер с асинхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-104
FTCLEB	счетный триггер с асинхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по заднему фронту	2-105
FTCP	счетный триггер с асинхронными сбросом и установкой с синхронизацией по переднему фронту	2-106
FTCPB	счетный триггер с асинхронными сбросом и установкой с синхронизацией по заднему фронту	2-107
FTCPE	счетный триггер с асинхронными сбросом и установкой и разрешением счета с синхронизацией по переднему фронту	2-108
FTCPB	счетный триггер с асинхронными сбросом и установкой и разрешением счета с синхронизацией по заднему фронту	2-109
FTCPL	счетный триггер с асинхронными сбросом и установкой и синхронной загрузкой с синхронизацией по переднему фронту	2-110
FTCPLB	счетный триггер с асинхронными сбросом и установкой и синхронной загрузкой с синхронизацией по заднему фронту	2-111
FTCPLE	счетный триггер с асинхронными сбросом и установкой, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-112
FTP	счетный триггер с асинхронной установкой с синхронизацией по переднему фронту	2-113
FTPВ	счетный триггер с асинхронной установкой с синхронизацией по заднему фронту	2-114
FTPE	счетный триггер с асинхронной установкой и разрешением счета с синхронизацией по переднему фронту	2-115
FTPEB	счетный триггер с асинхронной установкой и разрешением счета с синхронизацией по заднему фронту	2-116
FTPL	счетный триггер с асинхронной установкой и синхронной загрузкой с синхронизацией по переднему фронту	2-117

Имя	Функция	Страница
1	2	3
<b>FTRLB</b>	счетный триггер с асинхронной установкой и синхронной загрузкой с синхронизацией по заднему фронту	2-118
<b>FTRPLE</b>	счетный триггер с асинхронной установкой, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-119
<b>FTRPLEB</b>	счетный триггер с асинхронной установкой, синхронной загрузкой и разрешением счета с синхронизацией по заднему фронту	2-120
<b>FTR</b>	счетный триггер с синхронным сбросом с синхронизацией по переднему фронту	2-121
<b>FTRB</b>	счетный триггер с синхронным сбросом с синхронизацией по заднему фронту	2-122
<b>FTRE</b>	счетный триггер с синхронным сбросом и разрешением счета с синхронизацией по переднему фронту	2-123
<b>FTREB</b>	счетный триггер с синхронным сбросом и разрешением счета с синхронизацией по заднему фронту	2-124
<b>FTRLE</b>	счетный триггер с синхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-125
<b>FTRLEB</b>	счетный триггер с синхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по заднему фронту	2-126

*Триггеры сканирования для организации тестирования*

Триггер сканирования – это функциональная ячейка памяти, имеющая два устойчивых состояния, которые изменяются при появлении активного фронта сигнала синхронизации либо через вход данных, либо через вход сканирования в зависимости от состояния сигналов управления.

Обозначение триггера включает в себя обозначение типа триггера, состав и приоритетность сигналов управления и признаки сигналов.



В обозначении триггера указываются состав и приоритетность сигналов управления. Первым указывается тот сигнал, который имеет высший приоритет. В качестве управляющих могут использоваться следующие сигналы:

- С** – асинхронный сброс (вход **CLR**);
- Р** – асинхронная установка (вход **PRE**).

Присутствие признака наличия сигнала разрешения записи **Е** указывает на то, что в триггере есть вход разрешения сигнала синхронизации (вход **CE**).

Признак инверсии **В** означает, что активным для триггера является задний фронт сигнала синхронизации.

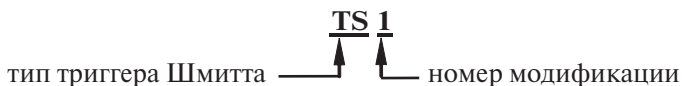
Имя	Функция	Страница
SFD	триггер сканирования с записью по переднему фронту	2-175
SFDB	триггер сканирования с записью по заднему фронту	2-176
SFDC	триггер сканирования с асинхронным сбросом с записью по переднему фронту	2-177
SFDCB	триггер сканирования с асинхронным сбросом с записью по заднему фронту	2-178
SFDCE	триггер сканирования с асинхронным сбросом и разрешением записи с записью по переднему фронту	2-179
SFDCEB	триггер сканирования с асинхронным сбросом и разрешением записи с записью по заднему фронту	2-180
SFDCP	триггер сканирования с асинхронными сбросом и установкой с записью по переднему фронту	2-181
SFDCPB	триггер сканирования с асинхронными сбросом и установкой с записью по заднему фронту	2-182
SFDE	триггер сканирования с разрешением записи с записью по переднему фронту	2-183
SFDEB	триггер сканирования с разрешением записи с записью по заднему фронту	2-184
SFDP	триггер сканирования с асинхронной установкой с записью по переднему фронту	2-185
SFDPB	триггер сканирования с асинхронной установкой с записью по заднему фронту	2-186
SFDPE	триггер сканирования с асинхронной установкой и разрешением записи с записью по переднему фронту	2-187
SFDPEB	триггер сканирования с асинхронной установкой и разрешением записи с записью по заднему фронту	2-188

### Триггеры Шмитта

Триггер Шмитта – это функциональная ячейка, предназначенная для преобразования непрерывно меняющегося сигнала в набор прямоугольных импульсов.

Особенность вольт-амперной характеристики триггера Шмитта – наличие петли гистерезиса – позволяет использовать данную ячейку в качестве формирователя прямоугольных импульсов из входного напряжения произвольной формы.

Обозначение триггера Шмитта включает в себя тип ячейки и номер модификации.



Тип триггера Шмитта может принимать следующие значения:

**TS** – триггер Шмитта КМОП-уровня;

**TSTTL** – триггер Шмитта TTL-уровня.

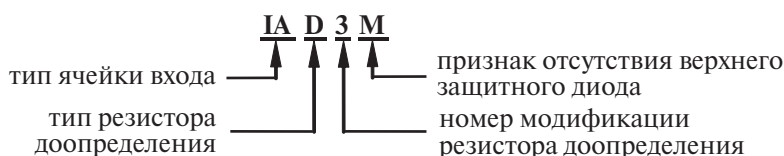
Модификациями являются триггеры Шмитта, имеющие различные значения гистерезиса.

Имя	Функция	Страница
TS1, TS2, TS3, TS4	триггеры Шмитта КМОП-уровня с различными номинальными значениями гистерезиса	2-198
TSTTL1, TSTTL2	триггеры Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса	2-199

### Периферийные ячейки входа

Ячейка входа – это функциональная ячейка, обеспечивающая передачу цифрового или аналогового сигнала с внешнего вывода БИС внутрь поля БМК.

Обозначение ячейки входа включает тип ячейки, номер модификации внутреннего резистора доопределения и признак отсутствия верхнего защитного диода.



Тип ячейки входа может принимать следующие значения:

- IA** – вход аналоговый;
- IDBL** – вход цифровой с инверсным маломощным выходом (используется для реализации RC- и кварцевых генераторов);
- IDP** – вход цифровой с парафазным выходом;
- ITL** – вход цифровой с триггером Шмитта ТТЛ-уровня и парафазным выходом;
- ITS** – вход цифровой с триггером Шмитта и парафазным выходом.

Тип резистора доопределения может принимать следующие значения:

- D** – резистор доопределения до низкого уровня;
- U** – резистор доопределения до высокого уровня.

Буква **M** обозначает отсутствие в ячейке диода электростатической защиты, подключенного к шине «Питание», что позволяет применять ячейку в системах с «холодным» резервом.

Имя	Функция	Страница
1	2	3
<b>IA</b>	вход аналоговый	2-127
<b>IAD1</b>	вход аналоговый с доопределением до низкого уровня внутренним резистором малого номинала	3-24
<b>IAD2, IAD3, IAD4</b>	входы аналоговые с доопределением до низкого уровня внутренними резисторами различного номинала	2-127
<b>IAD1M, IAD2M, IAD3M, IAD4M</b>	входы аналоговые с доопределением до низкого уровня внутренними резисторами различного номинала для микросхем «холодного» резерва	3-25
<b>IAM</b>	вход аналоговый для микросхем «холодного» резерва	3-27
<b>IAU1, IAU2, IAU3, IAU4</b>	входы аналоговые с доопределением до высокого уровня внутренними резисторами различного номинала	2-134



Имя	Функция	Страница
1	2	3
IDBL	вход цифровой с инверсным маломощным выходом	3-36
IDP	вход цифровой с парафазным выходом	2-134
IDPD1	вход цифровой с парафазным выходом и доопределением до низкого уровня внутренними резисторам малого номинала	3-39
IDPD2, IDPD3, IDPD4	входы цифровые с парафазным выходом и доопределением до низкого уровня внутренними резисторами различного номинала	2-135
IDPD1M, IDPD2M, IDPD3M, IDPD4M	входы цифровые с парафазным выходом, с доопределением до низкого уровня внутренними резисторами различного номинала для микросхем «холодного» резерва	3-40
IDPM	вход цифровой с парафазным выходом для микросхем «холодного» резерва	3-42
IDPU1, IDPU2, IDPU3, IDPU4	входы цифровые с парафазным выходом и доопределением до высокого уровня внутренними резисторами различного номинала	2-136

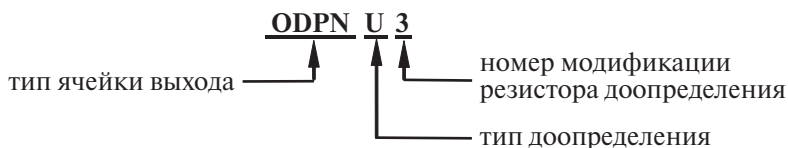
Входные ячейки с триггерами Шмитта с различными номиналами гистерезиса и доопределением до низкого или высокого уровня внутренними резисторами различного номинала реализованы в виде макрочеек.

Имя	Функция
ITL1, ITL2	входы цифровые с триггером Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса с парафазным выходом
ITL1D2, ITL1D3, ITL1D4, ITL2D2, ITL2D3, ITL2D4	входы цифровые с триггером Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса с парафазным выходом и доопределением до низкого уровня внутренними резисторами различного номинала
ITL1U1, ITL1U2, ITL1U3, ITL1U4, ITL2U1, ITL2U2, ITL2U3, ITL2U4	входы цифровые с триггером Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса с парафазным выходом и доопределением до высокого уровня внутренними резисторами различного номинала
ITS1, ITS2, ITS3, ITS4	входы цифровые с триггером Шмитта КМОП-уровня с различными номинальными значениями гистерезиса с парафазным выходом
ITS1D2, ITS1D3, ITS1D4, ITS2D2, ITS2D3, ITS2D4, ITS3D2, ITS3D3, ITS3D4, ITS4D2, ITS4D3, ITS4D4	входы цифровые с триггером Шмитта КМОП-уровня с различными номинальными значениями гистерезиса с парафазным выходом и доопределением до низкого уровня внутренними резисторами различного номинала
ITS1U1, ITS1U2, ITS1U3, ITS1U4, ITS2U1, ITS2U2, ITS2U3, ITS2U4, ITS3U1, ITS3U2, ITS3U3, ITS3U4, ITS4U1, ITS4U2, ITS4U3, ITS4U4	входы цифровые с триггером Шмитта КМОП-уровня с различными номинальными значениями гистерезиса с парафазным выходом и доопределением до высокого уровня внутренними резисторами различного номинала

### Периферийные ячейки выхода

Ячейка выхода – это функциональная ячейка, обеспечивающая передачу сигналов из поля БМК на внешний вывод БИС.

Обозначение ячейки выхода включает тип ячейки, тип доопределения и номер модификации внутреннего резистора доопределения.



Тип ячейки выхода может принимать следующие значения:

- OA** – аналоговый выход;
- OD** – цифровой выход с двумя состояниями;
- ODPN** – цифровой выход с отдельным управлением выходными транзисторами;
- ODE** – цифровой выход с тремя состояниями.

Тип доопределения может отсутствовать или принимать значения:

- D** – доопределение до низкого уровня;
- U** – доопределение до высокого уровня.

Имя	Функция	Страница
1	2	3
<b>OA</b>	выход аналоговый	2-158
<b>OD1, OD2, OD3</b>	выходы цифровые с различной нагрузочной способностью	3-44
<b>ODPN</b>	выход цифровой	2-159
<b>ODPN2</b>	выход цифровой с низкой нагрузочной способностью	3-45
<b>ODPND1</b>	выход цифровой с доопределением до низкого уровня внутренним резистором малого номинала	3-46
<b>ODPND2, ODPND3, ODPND4</b>	выход цифровой с доопределением до низкого уровня внутренними резисторами различного номинала	2-160
<b>ODPNU1, ODPNU2, ODPNU3, ODPNU4</b>	выход цифровой с доопределением до высокого уровня внутренними резисторами различного номинала	2-161

Выходные ячейки **ODE**, **ODEDi**, **ODEUi** реализованы в виде макроячеек.

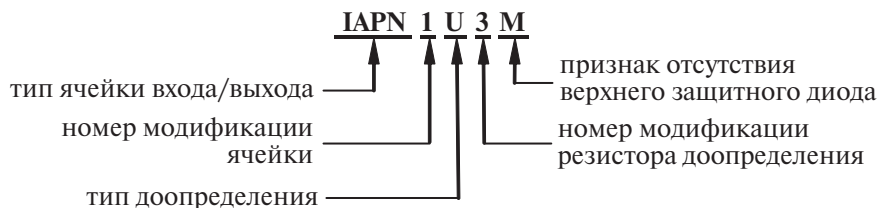
Имя	Функция
<b>ODE</b>	цифровой выход с тремя состояниями
<b>ODED2, ODED3, ODED4</b>	цифровой выход с тремя состояниями и доопределением до низкого уровня внутренними резисторами различного номинала
<b>ODEU1, ODEU2, ODEU3, ODEU4</b>	цифровой выход с тремя состояниями и доопределением до высокого уровня внутренними резисторами различного номинала

1

### Периферийные ячейки входа/выхода

Ячейка входа/выхода – это функциональная ячейка, обеспечивающая передачу сигналов как с внешнего вывода БИС внутрь поля БМК, так и из поля БМК на внешний вывод БИС.

Обозначение ячейки входа/выхода включает тип ячейки и номер модификации ячейки, тип доопределения, номер модификации внутреннего резистора доопределения и признак отсутствия верхнего защитного диода.



Тип ячейки входа/выхода может принимать следующие значения:

- IAOINV** – вход аналоговый / выход цифровой для реализации RC-генераторов;
- IAON** – вход аналоговый / выход цифровой с открытым стоком n-транзистора;
- IAPN** – вход аналоговый / выход цифровой с отдельным управлением выходными транзисторами;
- IOD** – вход/выход цифровой;
- ION** – вход/выход цифровой с открытым стоком n-транзистора;
- IOP** – вход/выход цифровой с открытым стоком p-транзистора;
- IOPN** – вход/выход цифровой с отдельным управлением выходными транзисторами;
- IOTL** – вход цифровой с триггером Шмитта ТТЛ-уровня / выход цифровой;
- IOTS** – вход цифровой с триггером Шмитта / выход цифровой.

Тип доопределения может отсутствовать или принимать следующие значения:

- D** – доопределение до низкого уровня;
- U** – доопределение до высокого уровня.

Имя	Функция	Страница
1	2	3
IAOINV	вход аналоговый / выход цифровой для реализации RC-генераторов	3-28
IAON1, IAON2, IAON3, IAON4, IAON5	вход аналоговый / выход цифровой с открытым стоком p-транзистора, с различной нагрузочной способностью	3-29
IAON1M, IAON2M, IAON3M, IAON4M, IAON5M	вход аналоговый / выход цифровой с открытым стоком p-транзистора, с различной нагрузочной способностью для микросхем «холодного» резерва	3-30
IAON1U, IAON2U, IAON3U, IAON4U, IAON5U	вход аналоговый / выход цифровой с открытым стоком p-транзистора, с различной нагрузочной способностью и доопределением до высокого уровня	3-32
IAPN	вход аналоговый / выход цифровой	2-128
IAPN2	вход аналоговый / выход цифровой и низкой нагрузочной способностью	3-33
IAPND1	вход аналоговый / выход цифровой и доопределением до низкого уровня внутренним резистором малого номинала	3-34
IAPND2, IAPND3, IAPND4	вход аналоговый / выход цифровой с доопределением до низкого уровня внутренними резисторами различного номинала	2-129
IAPNU1, IAPNU2, IAPNU3, IAPNU4	вход аналоговый / выход цифровой с доопределением до высокого уровня внутренними резисторами различного номинала	2-131
ION	вход цифровой парафазный / выход цифровой с открытым стоком p-транзистора	2-137
IOP	вход цифровой парафазный / выход цифровой с открытым стоком p-транзистора	2-138
IOPN	вход цифровой парафазный / выход цифровой	2-139

Ячейки вход/выхода **IOD**, **IODDi**, **IODUi**, **IOTL**, **IOTLDi**, **ITLUi**, **IOTS**, **IOTSDi**, **IOTSUi** реализованы в виде макрочеек.

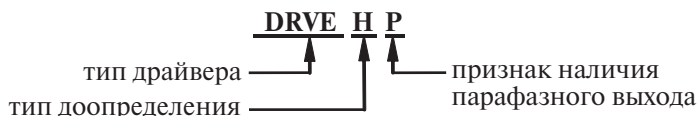
Имя	Функция
<b>IOD</b>	вход/выход цифровой
<b>IODD2, IODD3, IODD4</b>	входы/выходы цифровые с доопределением до низкого уровня внутренними резисторами различного номинала
<b>IODU1, IODU2, IODU3, IODU4</b>	входы/выходы цифровые с доопределением до высокого уровня внутренними резисторами различного номинала
<b>IOTL1, IOTL2</b>	входы цифровые с триггером Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса / выходы цифровые
<b>IOTL1D2, IOTL1D3, IOTL1D4, IOTL2D2, IOTL2D3, IOTL2D4</b>	входы цифровые с триггером Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса / выходы цифровые с доопределением до низкого уровня внутренними резисторами различного номинала
<b>ITLU1U1, ITLU1U2, ITLU1U3, ITLU1U4, ITLU2U1, ITLU2U2, ITLU2U3, ITLU2U4</b>	входы цифровые с триггером Шмитта ТТЛ-уровня с различными номинальными значениями гистерезиса / выходы цифровые с доопределением до высокого уровня внутренними резисторами различного номинала

Имя	Функция
IOTS1, IOTS2, IOTS3, IOTS4	входы цифровые с триггером Шмитта КМОП-уровня с различными номинальными значениями гистерезиса / выходы цифровые
IOTS1D2, IOTS1D3, IOTS1D4, IOTS2D2, IOTS2D3, IOTS2D4, IOTS3D2, IOTS3D3, IOTS3D4, IOTS4D2, IOTS4D3, IOTS4D4	входы цифровые с триггером Шмитта КМОП-уровня с различными номинальными значениями гистерезиса / выходы цифровые с доопределением до низкого уровня внутренними резисторами различного номинала
IOTS1U1, IOTS1U2, IOTS1U3, IOTS1U4, IOTS2U1, IOTS2U2, IOTS2U3, IOTS2U4, IOTS3U1, IOTS3U2, IOTS3U3, IOTS3U4, IOTS4U1, IOTS4U2, IOTS4U3, IOTS4U4	входы цифровые с триггером Шмитта КМОП-уровня с различными номинальными значениями гистерезиса / выходы цифровые с доопределением до высокого уровня внутренними резисторами различного номинала

### Драйверы периферийных ячеек

Драйвер периферийной ячейки – это функциональная ячейка, обеспечивающая формирование сигналов управления периферийной ячейкой для реализации ее функции выхода или входа/выхода.

Обозначение драйвера включает тип драйвера, тип доопределения высокоимпедансного состояния периферийной ячейки и признак наличия в драйвере парафазного выхода.



Тип драйвера может принимать следующие значения:

- DRV** – драйвер для организации выхода;
- DRVE** – драйвер для организации входа/выхода.

Тип доопределения указывает, каким образом высокоимпедансное состояние на внешнем выводе БИС доопределяется до логически определенного уровня, и может принимать следующие значения:

- D** – в периферийной ячейке включается резистор доопределения до низкого уровня;
- U** – в периферийной ячейке включается резистор доопределения до высокого уровня;
- H** – в периферийной ячейке кратковременно включается мощный выходной транзистор р-типа, обеспечивающий быстрое переключение сигнала на внешнем выводе микросхемы из состояния низкого уровня в состояние высокого уровня (формирование «подброса») с последующим удержанием высокого уровня резистором доопределения.

Признак **P** обозначает наличие в драйвере парафазного выхода для усиления и передачи в поле БМК логических сигналов с внешнего вывода БИС (может отсутствовать).

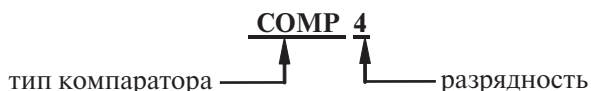
Различные типы драйверов предназначены для управления теми или иными периферийными ячейками. Варианты подключения периферийных ячеек и драйверов указаны в рекомендациях по применению в описаниях соответствующих периферийных ячеек и драйверов.

Имя	Функция	Страница
<b>DRV</b>	драйвер периферийной ячейки для организации выхода	2-12
<b>DRVE</b>	драйвер периферийной ячейки для организации входа/выхода	2-13
<b>DRVED</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до низкого уровня	2-15
<b>DRVEDP</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до низкого уровня и парафазным выходом	2-17
<b>DRVENP</b>	драйвер периферийной ячейки для организации входа/выхода с формированием «подброса», доопределением до высокого уровня и парафазным выходом	2-19
<b>DRVEU</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до высокого уровня	2-21
<b>DRVEUP</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до высокого уровня и парафазным выходом	2-23
<b>DRVHP</b>	драйвер периферийной ячейки для организации выхода с формированием «подброса», доопределением до высокого уровня и парафазным выходом	2-25

### Компараторы цифровые

Цифровой компаратор – это функциональная ячейка, выполняющая логическую функцию сравнения двух бинарных чисел. В состав библиотеки входят компараторы, формирующие сигнал эквивалентности, и компараторы, формирующие сигналы сравнения «больше» и «меньше».

Обозначение компаратора включает в себя тип компаратора и разрядность сравниваемых бинарных чисел.



Тип компаратора может принимать следующие значения:

**COMP** – сравнение двух чисел с формированием сигнала эквивалентности (выход EQ);

**COMPМ** – сравнение двух чисел с формированием сигналов сравнения «больше» (выход GT) и «меньше» (выход LT).

Разрядность сравниваемых бинарных чисел может принимать значения 2, 4, 8, 16. Для одноразрядных компараторов разрядность не указывается.

Имя	Функция	Страница
<b>COMP</b>	компаратор одноразрядный с выработкой сигнала эквивалентности	2-8
<b>COMP2</b>	компаратор двухразрядный с выработкой сигнала эквивалентности	2-9
<b>COMPМ</b>	компаратор одноразрядный с выработкой сигналов сравнения	2-10
<b>COMPМ2</b>	компаратор двухразрядный с выработкой сигналов сравнения	2-11

Цифровые компараторы сравнения 4-, 8- и 16-разрядных бинарных чисел реализованы в виде макроячеек. Их функциональные схемы приведены ниже.